

(4) Korean Patent Publication No. 1995-0007575 (1995)

“Semiconductor Device Having Circuits Separated by a Well”

The reference discloses a semiconductor device comprising: a first  
5 semiconductor region of a second conductivity type formed in a main face of a  
semiconductor substrate; and a second semiconductor region of a first conductivity  
type formed within the first semiconductor region, wherein the second  
semiconductor region is electrically separated from the semiconductor substrate by  
the first semiconductor region, and a voltage applied to the second semiconductor  
10 region is lower than a voltage applied to the semiconductor substrate.

(19) 대한민국특허청(KR)

(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>

H01L 27/06

(11) 등록번호

특 1995-0007575

(24) 등록일자

1995년 07월 12일

(21) 출원번호

특 1991-0701144

(65) 공개번호

특 1992-0702192

(22) 출원일자

1991년 09월 18일

(43) 공개일자

1992년 08월 12일

(62) 원출원

특허 특 1987-0700554

원출원일자 : 1987년 06월 27일

(86) 국제출원번호

PCT/JP 86/000579

(87) 국제공개번호

WO 87/03423

(86) 국제출원일자

1986년 11월 12일

(87) 국제공개일자

1987년 06월 04일

(30) 우선권주장

60-258506 1985년 11월 20일 일본(JP)

(73) 특허권자

(72) 발명자

기즈카와 고로

일본국 도쿄도 니시따마군 히노데초 히라이 2196-468

이또오 기요오

일본국 도쿄도 히가시구루메시 가꾸엔조 2-17-6

호리 료이찌

일본국 도쿄도 니시따마군 히노데마찌 히라이 2196-125

와타다베 다카오

일본국 도쿄도 고후분지시 니시코이가꾸보 4-14-6 비309

시모히가시 가즈히로

일본국 도쿄도 무사시무라야마시 오미나미 3-124-10

홈마 노리유키

일본국 도쿄도 고다이라시 죠소미혼조 1625-31

(74) 대리인

백남기

심사관 : 권정숙  
(특허공보 제4041호)

(54) 회로를 함로 분리한 반도체장치

요약

내용 없음.

도면

도 1

평면도

[발명의 명칭]

회로를 웰로 분리한 반도체장치

[도면의 간단한 설명]

제1도는 종래의 기술을 도시한 단면도.

제2도는 본 발명의 제1의 실시예를 도시한 단면도.

제3도는 본 발명의 제2의 실시예를 도시한 단면도.

제4도는 본 발명의 제3의 실시예를 도시한 단면도.

제5도는 CMOS구조의 실시예 1를 도시한 단면도.

제6도는 바이폴라 구조의 실시예 1를 도시한 단면도.

제7도는 바이폴라 CMOS복합구조의 실시예 1를 도시한 단면도.

제8도는 SOI구조의 실시예 1를 도시한 단면도.

제9도는 SOI구조의 실시예 1를 도시한 단면도.

제10도는 메모리의 불력도.

제11도는 메모리로의 기판분리전압의 인가를 설명한 실시예를 도시한 도면.

제12도~제16도는 각각 MOS다이나믹 메모리의 실시예 1를 도시한 단면도.

제17도 및 제18도의 구조를 실현하기 위한 주요공정의 실시예 1를 도시한 단면도.

제19도는 제18도의 구조를 실현하기 위한 주요공정의 실시예 1를 도시한 단면도.

제20도는 바이폴라 CMOS복합 다이나믹 메모리의 다른 실시예를 도시한 단면도.

제21도는 제20도의 실시예를 칩의 표면에서 본 평면도.

제22도는 제21도의 구조를 실현하기 위한 주요공정의 실시예 1를 도시한 단면도.

[발명의 상세한 설명]

본 발명은 반도체장치의 소자 상호간의 분리방법에 관한 것이다.

종래, 절연게이트형 전계효과 트랜지스터(이하, "MOS트랜지스터"라 한다) 또는 바이폴라 트랜지스터(이하, "BIP트랜지스터"라 한다)를 사용한 집적회로에서는 pn접합에 역 바이어스전압을 인가하는 것에 의해 소자간의 분리를 실행하고 있었다. 이것에 대해서는 예를 들면 Yanai, Nagata저 "Integrated Circuit Technology(1)(Coronapublishing Co., Ltd.)", pp.21~pp.31에 상세하게 기술되어 있다.

한편, 최근 논리 LSI 또는 SRAM(스테이틱 RAM)에 있어서 소위 BiCMOS방식이 주목을 받고 있지만, 이 방식에서 바이폴라

트랜지스터와 CMOS트랜지스터(n채널과 p채널로 이루어지는 상보형 MOS트랜지스터)를 조합해서 바이폴라 트랜지스터의 고속성과 CMOS트랜지스터의 고집적성 및 저소비전력성의 장점을 살려서 고속, 고집적, 저소비전력의 논리 LSI 또는 RAM을 실현할 수 있다. 미들에 대해서는 "Nikkei Electronics", 1985년 8월 12호, pp.187~pp.208등에 상세하게 기술되어 있다. 또한, 이와 같은 BICOMS방식에 있어서도 상기한 것과 마찬가지로의 소자간 분리법에 채용된다.

제1는 BICOMS방식의 원리적인 단면구조를 도시한 것이다. 동일 도면에는 1개의 n채널 MOS(nMOS)트랜지스터, 1개의 p채널 MOS(pMOS)트랜지스터 및 1개의 npn바이폴라(npn BIP)트랜지스터가 도시되어 있다.

여기에서, nMOS 또는 pMOS의 S, B, D는 각각 소오스, 게이트, 드레인의 노드이며, 또 npn BIP 트랜지스터의 C, E, B는 각각 콜렉터, 이미터, 베이스의 노드이다(이후의 도면에서는 이들 노드면은 생략한다). 또한, 동일 도면에서는 간단히 하기 위해 확산층의 불순물의 도전형만을 기입하고 있다. 따라서, 동일 부호를 붙인 부분이라도 도전형이 동일한 것만을 나타낼 뿐, 그 불순물재료와 불순물 농도는 목적에 따라서 적절하게 임의로 선정할 수 있다. 상세하게 설명하지는 않지만, 이것은 첨부된 도면에 있어서도 마찬가지이다. 이러한 구조에 있어서 종래의 기술에서는 회로내의 가장 낮은 전위를 p형 기판(p-Sub)에 인가하고, 회로내의 가장 높은 전위를 pMOS트랜지스터를 형성한 n형 분리층(nwell)에 인가해서 각 부의 접합이 순방향 바이어스의 조건을 되지 않도록 하여, 칩내의 다수의 소자간 분리를 실행하고 있다. 즉, 종래의 기술에서는 회로가 전원전압(예를 들면, 5V)와 접지(0V) 사이에서 동작하는 경우는 기판 p-Sub에는 0V를 인가하고 n형 분리층에는 5V를 인가해서 소자간 분리를 실행하고 있었다. 이와같은 방식에 있어서는 기판 p-Sub 또는 n형 분리층으로의 인가전압이 소자간 분리에 필요한 최저 전압으로 선정되고 있으므로, pn접합에 인가하는 역방향 바이어스 전압을 작게할 수 있어 금후의 소자 미세화에 따른 소자 내압 저하의 문제점에 대처할 수 있다. 이 반면, 다음과 같은 문제점이 발생한다.

LSI의 입력 또는 출력단자는 외부회로와 직접 접속되기 때문에 전원전압 이상 또는 0V이하의 노이즈(일반적으로 오버슈트 또는 언더슈트등의 서지 노이즈)가 발생한다. 입력 또는 출력노드는 어떠한 형태로든 칩내의 확산층에 접속되어 있기 때문에, 종래의 기술에 있어서는 그 접합부가 순방향 바이어스로 된다. 예를 들면, 제1도중의 nMOS트랜지스터의 소오스 S 또는 드레인 D로 도시된 n형 확산층에 부(-)의 서지 노이즈가 인가되며, n형 확산층과 기판 p-Sub간의 접합은 순방향 바이어스로 되어 기판 p-Sub에서 n형 확산층을 향해 순방향전류가 흐른다. 그 결과, 소수캐리어(p형 기판에서는 전자)가 기판 p-Sub로 주입된다. 이 소수캐리어는 통상 수백  $\mu\text{m}$ 에 달하는 평균자유행정(mean free path)을 갖고 있기 때문에 다른 회로부분에 도달하고, 예를 들면 SRAM 또는 DRAM내에 있어서는 메모리셀내의 기억신호가 파괴되는 등의 문제를 발생시킨다. 이 소수캐리어 주입의 현상은 입력 또는 출력단자측 뿐만 아니라 칩내부의 회로동작에 있어서도 용량결합 또는 바이폴라 트랜지스터의 포화동작에 의해서 확산 또는 기판 p-Sub의 전위가 국소적으로 변동하는 것등에 의해 발생할 우려가 있다. 이 때문에 고성능의 BI CMOS방식을 실현하는 것이 불가능하게 된다.

본 발명의 목적은 상술한 문제를 해결하여 안정하게 동작하는 반도체장치를 제공하는 것이다.

또, 본 발명의 다른 목적은 상술한 문제점을 해결해서, 또 기판 또는 분리영역에 인가되는 전압을 용도에 따라 자유롭게 설정하기 위한 전압인가방법과 이것을 가능하게 하는 디바이스구조를 제공하는 것이다.

이하, 본 발명의 상기 및 그밖의 목적과 특징은 본원의 명세서 및 첨부도면에 의해 명확하게 될 것이다.

본 발명에 있어서, 소수캐리어의 주입의 우려가 있는 부분, 예를 들면 기판에 회로의 등대전압보다 더욱 부(일반적으로 p형 실리콘기판 사용시) 또는 정(일반적으로 n형 실리콘기판 사용시)의 전압을 인가한다.

또한, 본 발명에서는 상술한 바와 같은 전압의 인가법에 의해서 발생하는 문제점, 예를 들면 각 소자에 인가되는 전압이 증대하여 미세소자등 저내압의 소자의 신뢰도가 저하하는 등의 문제를 해결하기 위해, 동일 도전형의 MOS트랜지스터 또는 동일 도전형의 바이폴라 트랜지스터의 분리영역을 몇개의 분리 영역으로 분할하고 각각 용도에 따라 적합한 분리전압을 인가한다.

이하 본 발명을 실시예에 따라 상세하게 설명한다.

[실시예 1]

제2도는 본 발명의 기본적인 실시예중 하나를 도시한 도면으로서, BiCMOS방식을 메모리셀MC로서 1트랜지스터형 셀을 사용한 다이내믹형 RAM(DRAM)에 적용한 경우에 대해서 도시하고 있다.

동일 도면에는 nMOS, pMOS, npn BIP트랜지스터와 메모리셀 MC의 단면구조가 도시되어 있다. 메모리셀 MC의 정보는 n형 확산층과 플레이트(PL)사이 및 n형 확산층 사이에서 축적용량을 형성하고, 이 축적용량에 축적된 전하를 워드선 신호 WL을 인가한 게이트로 제어하고, 데이터선 DL에 리드되거나 데이터선으로부터 라이트한다. 또, 동일 도면에 도시한 메모리셀 MC에서는 전하 축적용의 n형 확산층의 바로 아래에 p형 확산층을 마련하고 있다. 이 p형 확산층은 축적용량을 증대시킴과 동시에  $\alpha$  선들의 방사선이 기관으로 입사해서 발생하는 소수캐리어에는 용량부를 차폐하고(소수캐리어의 장벽으로서 작용한다). 방사선의 입사에 의한 오동작 소위소프트 에러현상의 저감을 도모하기 위한 것이다. 이러한 구조는 HiC형 메모리 셀로서 "Technical Digest of International Electron Device Meeting," 1977, pp.289~pp.290등에 상세히 설명되어 있다. 또한, 소프트웨어 현상에 대해서는 "IEEE Transcation on Electron Device," Vol. ED-26, No. 1, Jan.1979, pp.2~pp.9등에 상세하게 설명되어 있다.

동일 도면에 도시한 바와 같이, 실리콘기관으로는 p형 기관 p-Sub를 사용하고 있다. 이것은 고성능의 npn BIP트랜지스터를 사용하여 이것을 효율 좋게 분리하기 위한 것이다. 통상 기관의 불순물 농도는 BIP트랜지스터의 플렉터-기관간 용량등을 고려하여  $10_{10} \sim 10_{12}(\text{cm}^{-3})$  정도로 선택된다. nBL, PBL은 비교적 고농도의 불순물 매립층으로서, BIP트랜지스터의 플렉터 저항을 저감하여 고성능의 BIP트랜지스터를 실현함과 동시에 웰영역 nWELL과 PWELL의 저항값을 작게하여 래치업(latch-up)현상의 발생을 방지하기 위한 것이다. 래치업현상에 대해서는 "Technical Digest of International Electron Device Meeting," 1982, pp.454~pp.477등에 개시되어 있다. 매립층 nBL과 PBL의 불순물농도는 각각  $10_{18} \sim 10_{19}(\text{cm}^{-3})$ 와  $10_{18} \sim 10_{19}(\text{cm}^{-3})$  정도로 선택된다. 이 매립층은 예를 들면 기관 p-Sub에 미리 확산법에 의해서 형성하고, 그 후 에피택셜 성장에 의해 실리콘을 형성하며, 그 내부에 웰 PWELL과 nWELL등을 형성하는 방법이나 표면에서 기관 p-Sub내로 비교적 고 에너지레벨로 이온주입법에 의해서 형성하는 방법에 의해 실현할 수 있지만, 상세한 것에 대해서는 다음에 기술한다. 또한, 이들 매립층은 목적에 따라서 한쪽 또는 양쪽 모두 생략할 수도 있다. CN은 플렉터노드 C 또는 노드  $V_{DD}$ 와 매립층 nBL사이의 저항을 저감하기 위한 고농도 불순물층이다. nWELL과 PWELL은 각각 pMOS와 nMOS트랜지스터를 형성하는 영역이다. 또, BIP트랜지스터의 플렉터층은 일부 nWELL 및 nBL을 사용해서 구성된다.

이상과 같은 구성에 있어서, 본 발명에 있어서는 각 소자간의 분리용 전압, 즉  $V_{DD}$ (이 전압은 영역 PWELL과 PBL을 거쳐서 기관에 공급되기 때문에 일반적으로 "기관전압"이라 한다)과  $V_{DD}$ (일반적으로 "웰전압"이라 한다)종의 적어도 한쪽에 회로의 동작전압 범위보다 높거나 낮은 전압을 인가한다. 이와같은 전압을 분리전압의 한쪽 또는 양쪽에 인가할지 인가하지 않을지는 목적에 따라서 선택하면 좋다. 예를 들면, 회로가 0V와  $V_{CC}$ (예를 들면 5V) 사이에서 동작하는 경우는 기관전압  $V_{DD}$ 에 0V이하의 부의 전압을 인가하고, 웰전압  $V_{DD}$ 에는  $V_{CC}$ 전압을 인가하도록 한다. 이것에 의해 예를 들면 영역 PWELL내의 n형 확산층에 반도체장치의 내부 또는 외부로부터 어떤 원인에 의해 부의 전압이 인가되었다고 하더라도, 기관과 n형확산층 사이가 순방향 바이어스로 되지 않도록 기관전압  $V_{DD}$ 의 값을 설정하는 것에 의해, 종래기술에서 문제로 되었던 소수캐리어가 기관내로 주입되어 회로가 오동작하는 현상을 완전히 해결할 수 있다. 이 효과는 제2도에 도시한 바와 같이 정보를 전하로서 기억하는 형식의 DRAM에 있어서 특히 현저하지만, 그 밖의 논리 LSI, SRAM 및 ROM등에 있어서도 현저한 효과가 얻어지는 것은 물론이다. 상기에서는 웰전압  $V_{DD}$ 를 전원전압  $V_{CC}$ 로 하는 예를 설명하였지만, 목적에 따라서 웰전압  $V_{DD}$ 에 전원전압  $V_{CC}$ 보다 높은 전압을 인가하여도 마찬가지로의 효과를 얻을 수 있다. 또한, 본 발명에 따르면 웰영역 PWELL, nWELL과 확산층의 각 접합이 순방향으로 바이어스되는 일이 없으므로 래치업현상의 발생도 저감할 수 있다. 또, 게다가 접합용량의 저감도 가능하게 된다.

본 실시예에서는 p형 기관을 사용한 예를 설명하였지만, pnp형의 BIP트랜지스터를 사용하는 경우등은 n형 기관을 사용해도 좋다. 그 경우에는 인가전압을 극성을 반대로 해야하는 것은 물론이다. 또, 메모리셀로서는 HiC형 셀을 설명하였지만, "IEEE PROC," Vol.130, pt.1, No.3, June 1983, pp.127~pp.135 또는 "1984, 1985 International Solid-Sate Circuit Conference," Digest of Technical Papers등에 기술되어 있는 각종 평면형 또는 입체형(CCC, STC셀등)의 메모리셀을 사용하는 경우에도 그대로 적용할 수 있다. 또, DRAM에 한정되지 않고 그 밖의 SRAM, ROM 논리 LSI등의 LSI일반에도 그대로 적용가능한 것은 앞서 기술한 바와 같다. 또, 본 발명에서는 회로의 동작전압 범위보다 높거나 또는 낮은 전압을 필요로 하지만, 이것은 일본국 실용신안 출원소화 54-82150호 또는 1976 ISSCC Digest of Technical Papers pp.138~pp.139등에 기술되어 있는 방법에 의해 반도체장치 내부에서 발생시킬 수 있으므로, 외부에서 여분의 전압을 공급하지 않고도 실현할

수 있다. 또, 기판전압  $V_{ss}$ 의 인가는 기판의 이면으로부터 실행하여도 좋다.

이상 설명한 실시예에서는 칩내의 웰영역  $n_{well}$  또는 기판  $p-Sub$ 에 균일하게 전압을 인가해서 종래기술의 문제점을 해결하는 방법에 대해서 기술하였다. 다음에, 상이한 분리전압을 칩내의 회로블럭의 목적에 부합되게 인가하는 경우에 대해서 설명한다. 예를 들면, 소수캐리어 주입이 문제로 되는 입출력회로 블럭 또는 집합용량을 작게할 필요가 있는 회로블럭에는 제2도에서 설명한 바와 같이 회로의 동작전압 범위보다 높거나 낮은 분리전압을 인가한다. 한편, 제2도의 메모리셀의 블럭내에 있어서는 축적용량을 형성하는  $p$ 형 불순물층의 농도를 높게 해서 축적용량을 증가시키고 또한  $\alpha$ 선 입사에 의해 발생하는 소수캐리어에 대한 차폐효과를 증대시키는 것이 요망된다. 고집적화 고속화를 실현하기 위해 소자를 미세화하는 것이 요구된다. 이를 블럭에서는 소자의 내압이 저하한다. 따라서, 종래와 마찬가지로 블럭의 분리전압에 회로의 동작전압 범위내에서 가장 높거나 또는 낮은 전압을 인가한다. 이하, 이와 같이 목적에 따라 임의의 바라는 전압을 인가하는 방법과 이 방법을 가능하게 하는 반도체 구조에 관한 실시예에 대해서 설명한다.

또한, 이후에 설명하는 기술은 BiCMOS방식 뿐만 아니라 통상의  $pMOS, nMOS$  또는 CMOS의 각 방식의 LS에도 그대로 적용할 수 있다. 따라서, BiCMOS방식에 구애받지 않고 각종 적용예를 설명하기로 한다.

#### [실시예 2]

제3도는  $nMOS$ 트랜지스터의 집적회로에 상술한 방법을 적용한 것을 도시한 도면이다. 이 도면의 구성은  $p$ 형 기판( $p-Sub$ )내에  $n$ 웰층  $n_{well}$ 를 형성하고, 또 그 내에 제2반도체영역인  $p$ 웰층  $PW1, PW2$ 를 형성한다. 이 2종류의  $p$ 웰내 및 기판  $p-Sub$ 에 형성한  $nMOS$ 트랜지스터를 각각  $nMOS1, nMOS2, nMOS3$ 로 한다. 이 구조에서 3종류의  $nMOS$ 트랜지스터의 분리층에는 각각 독립된 전압  $V_{ss1}, V_{ss2}, V_{ss3}$ 을 인가할 수 있어 회로응도에 따라 적당한 전압으로 선택할 수 있다.

한편,  $n_{well}$ 층에는  $V_{B4}$ 로서 전압전압  $V_{cc}$  또는 적어도 전압  $V_{ss1}, V_{ss2}$ 중의 어느것보다도 높은 전압을 인가한다. 또한, 제3도에는 1개의  $nMOS$ 트랜지스터를 갖는 것이 통상적이다.

또한, 제3도에는 2개의  $p$ 웰과 1개의  $n$ 웰을 도시하였지만, 이 실시예에서는  $n$ 웰을 여러개 마련하고  $n$ 웰의 각각의 내부에 1개 이상의  $p$ 웰을 설계하는 임의의 조합에도 용이하게 응용할 수 있다. 또, 모든  $nMOS$ 트랜지스터를  $p$ 웰 상에 구성하는 것도 가능하다. 또, 본 발명은 기판, 웰 및  $MOS$ 트랜지스터의 도전형을 변경하고 모든 전위관계를 반전시키는 것만으로,  $pMOS$ 집적회로에 용이하게 적용할 수 있다. 전압  $V_{B1}$ 의 기판으로의 인가는 표면이나 이면중 어느 한쪽으로부터 하여도 좋다.

본 실시예와 마찬가지로  $p$ 형 기판 및  $p$ 웰층을  $n$ 웰층에 의해 차단되므로, 다른쪽의 회로에 거의 영향을 주지 않는다는 이점이 있다.

#### [실시예 3]

제4도는  $n$ 형 기판을 사용한  $nMOS$ 집적회로에 본 발명을 적용한 실시예를 도시한 것이다. 이 도면에서  $n$ 형 기판( $p-Sub$ )내에 2개의  $p$ 웰( $PW1, PW2$ )를 형성하고, 각각의  $p$ 웰내에  $nMOS$ 트랜지스터를 형성한다. 이도면에서 본 발명을 적용하여 각각의  $p$ 웰  $PW1, PW2$ 에는 상이한 전압  $V_{ss1}$ 과  $V_{ss2}$ 을 인가한다. 이들 전압  $V_{ss1}, V_{ss2}$ 에는 그 회로 부분에 따라 최적의 전압을 인가할 수 있다. 예를 들면, 전압  $V_{ss1}$ 에는 그보다 더 낮은  $-3V$ 를 인가할 수 있다. 기판  $n-Sub$ 에 인가하는 전압  $V_{ss}$ 은 전원전압  $V_{cc}$ 라도 좋고 또는 전압  $V_{ss1}, V_{ss2}$ 중의 어느것보다도 높은 전압이라도 좋다.

제4도에는 1개의  $nMOS$ 트랜지스터를 각각 포함하는 2개의  $p$ 웰만을 도시하였지만, 이 실시예는 임의의 수의  $p$ 웰과 임의의 수의  $nMOS$ 트랜지스터와의 조합에도 용이하게 적용할 수 있다. 이 경우, 여러개의  $p$ 웰로의 인가전압도 용도에 따라 2종류 이상의 임의의 전압값을 선택하면 좋다. 또, 기판, 웰, 소오스 및 드레인의 도전형을 반전하면  $pMOS$ 집적회로로 할 수 있다. 이때, 전압  $V_{ss1}$  및  $V_{ss2}$ 에는 서로 다른 정의 전압을 인가하고, 전압  $V_{ss}$ 에는 전압  $GND$  또는 전압  $V_{ss1}, V_{ss2}$  중의 어느것보다도 낮은 전압을 인가한다.

#### [실시예 4]

제5도는 본 발명은 CMOS(상보형 MOS) 구성에 적용한 실시예를 도시한 것이다. 이 도면에 있어서, p형 기판내에 3개의 n웰(nw1, nw2, nw3)을 형성하며, 또 각각의 n웰 nw1, nw2내에 2개의 p웰(Pw1, Pw2)을 형성한다. 그후, p웰(Pw1, Pw2)과 기판 p-Sub내에 nMOS트랜지스터(nMOS1, nMOS2, nMOS3)를 각각 형성한다. 또, n웰(nw1, nw2, nw3)내에 pMOS트랜지스터(pMOS1, pMOS2, pMOS3)를 각각 형성한다. 이 구성에 있어서 nMOS트랜지스터용 p형 분리층에 전압  $V_{ss}, V_{ss}, V_{ss}$ 를 인가한다. 한편, pMOS트랜지스터용 n형 분리층에 전압  $V_{ss}, V_{ss}, V_{ss}$ 를 인가한다. 3개의 전압  $V_{ss}, V_{ss}, V_{ss}$  또는 3개의 전압  $V_{ss}, V_{ss}, V_{ss}$ 에 는 사용회로에 따라서 적어도 다른 2값의 전압을 인가한다. 예를 들어 전압  $V_{ss}, V_{ss}, V_{ss}$ 에는 0V(0V) 및 -3V를 인가하고 또 전압  $V_{ss}, V_{ss}, V_{ss}$ 에는  $V_{cc}(+5V)$  및  $V_{cc}+\alpha$  (+7V를 인가한다. 이와 같이 해서 nMOS 및 pMOS트랜지스터의 각각의 분리층에 임의의 전압을 인가할 수 있다. 또한 제5도에 있어서는 각각의 웰내에 1개의 MOS트랜지스터만을 도시하였지만, 필요에 따라서 여러개의 MOS트랜지스터를 마련해도 좋다. 또 웰의 수도 제5도에서는 n웰이 3개, p웰이 2개이지만 필요에 따라서 그 수를 증가 또는 감소 시켜도 좋다. 또한 본 발명은 기판과 웰의 극성을 반전하는 구성에도 적용할 수 있다는 것을 명백하다. 즉 먼저 n형기판에 p웰을 형성하고 그 내부에 순차 n웰을 형성한다.

이상 기술한 실시예에는 MOS트랜지스터만을 사용한 구성이지만 또 본 발명의 바이폴라 트랜지스터를 사용한 집적회로나 바이폴라 트랜지스터와 MOS트랜지스터를 아울러 갖는 집적회로에 적용한 예를 이하 설명한다.

#### [실시예 5]

제6도는 바이폴라 트랜지스터를 사용한 집적회로에 본 발명을 적용한 실시예를 도시한 것이다. 제6도에 서는 3개의 npn 바이폴라 트랜지스터(npn1, npn2, npn3)와 1개의 pnp 바이폴라 트랜지스터(npn1, npn2, npn3)와 1개의 pp 바이폴라 트랜지스터(ppn1)를 형성하고 있다. 통상의 바이폴라 집적회로에서는 이 도면의 트랜지스터 npn3가 마찬가지로 p형 기판 p-Sub에 여러개의 npn 트랜지스터를 구성하고, 공통의 기판 전압을 전압  $V_{ss}$ 로서 칩의 표면 또는 칩의 미면으로부터 공급하고 있다. 전압  $V_{ss}$ 의 값을 회로의 가장 낮은 전위 0V(0V) 또는 이것보다 낮은 전위로 설정하면 여러개의 바이폴라 트랜지스터를 서로 분리시킬 수 있다. 또 발명에서는 Pw1, Pw2로 나타낸 바와 같이 기판 p-Sub와는 별개의 p형 분리층을 마련하고 그 안에 npn 트랜지스터(npn1, npn2)를 형성한다. 이 p층에는 전압  $V_{ss}, V_{ss}$ 를 인가한다. 전압  $V_{ss}, V_{ss}$ 의 값은 전압  $V_{ss}$ 는 3개의 전압  $V_{ss}, V_{ss}, V_{ss}$ 보다 높은 전압(예를 들면 전원전압  $V_{cc}$ 와 동일)을 인가해 두면, 트랜지스터(npn1, npn2, npn3)를 서로 완전하게 분리할 수 있다. 트랜지스터 npn1, npn2를 형성하는데 사용한 몇개의 층을 부분적으로 사용해서 도면중의 pnp 트랜지스터(ppn1)를 구성할 수 있다. 또한 기판을 포함하는 모든 층의 도전형질을 반전시키면, 여러개의 pnp 트랜지스터를 형성하는 n형 분리층에 상이한 전압을 인가할 수 있다.

#### [실시예 6]

다음에 칩내에 CMOS와 바이폴라 트랜지스터를 아울러 갖는 소위 BiCMOS구에 본 발명을 적용한 예에 대해서 설명한다. 제7도는 p형기판 p-Sub내에 제5도와 마찬가지로 nMOS트랜지스터(nMOS1, nMOS2, nMOS3)와 pMOS트랜지스터(pMOS1, pMOS2)를 형성하고, 또 npn 바이폴라 트랜지스터(npn1)를 형성한 실시예이다. 상술한 바와 같이 nMOS트랜지스터의 분리전압으로서 전압  $V_{ss}, V_{ss}, V_{ss}$ 를 독립적으로 설정할 수 있다. 또 pMOS트랜지스터의 분리전압으로서 전압  $V_{ss}, V_{ss}$ 를 독립적으로 설정할 수 있다. 바이폴라 트랜지스터의 분리영역에는 트랜지스터 nMOS3의 기판 전압  $V_{ss}$ 를 인가하고 있지만, 트랜지스터 nMOS3이 없으면 전압  $V_{ss}$ 을 바이폴라 트랜지스터 전용의 분리전압으로 할 수 있다. 또 제6도중의 트랜지스터 npn1과 같은 구조를 제7도내에 적용하면, 바이폴라 트랜지스터 상호간에도 상이한 분리용 전압을 공급할 수 있다. 또 pnp 트랜지스터도 제6도와 마찬가지로 형성할 수 있다. 또 기판, 웰, MOS트랜지스터의 소오스, 드레인 및 바이폴라 트랜지스터의 콜렉터, 에미터, 베이스의 도전형질을 모두 반전하면, pnp 트랜지스터와 CMOS 구조를 구성할 수 있고, 그 구조에도 본 발명의 여러개의 분리전압을 인가할 수 있다.

#### [실시예 7]

제8도는 적층형 CMOS 구조의 nMOS 부분에 본 발명을 적용한 실시예에 도시한 것이다. 이 도면은 기판 측에 nMOS트랜지스터를 형성하고 절연막상에 다결정 Si를 성장시키는 소위 SOI 구조에 의해 기판상에 pMOS를 형성한 예를 나타낸 것이다. 이와 같은 구조와 p웰(Pw) 및 n웰(nw)을 조합하는 것에 의해 p웰내에 형성한 트랜지스터 nMOS1과 기판 p-Sub에 형성한 트랜지스터 nMOS2의 각각의 분리부에 독립의 전압  $V_{ss}$ 와 전압  $V_{ss}$ 를 인가할 수 있다. 또 기판 및 웰의 도전형질을 반대로 하면 기판측

에 pMOS트랜지스터를 형성하고 다결정 Si층에 nMOS트랜지스터를 형성하여 pMOS트랜지스터의 분리부에 개별의 분리전압을 인가할 수 있다.

#### [실시예 8]

제9도는 SOI(Silicon on Insulator)또는 SOS(silicon on Sapphire)구조로 INSULATOR라고 쓰여진 절연성기판상에 nMOS, pMOS트랜지스터를 구성하고, 이와 같은 구조에 본 발명을 적용한것을 도시한 것이다. 절연기판상에는 p형 Si(또는 n형 Si)를 결정 성장으로 형성시키고, 그 후 p층에 n(또는 p형)의 불순물을 기판에 도달할때까지 깊이 도입해서 여러개의 p형(또는 n형)영역을 분리한다. 이분리된 p형 영역내에 nMOS트랜지스터를 형성하고 n형 영역내에 pMOS트랜지스터를 형성한다. p형 영역의 각각에는 그 회로의 용도에 따라 전압  $V_{DD}$ ,  $V_{SS}$ 를 인가하고, 또 n형 영역에는 전압  $V_{DD}$ 를 인가한다. 제9도에 있어서의 p형 및 n형 분리영역의 갯수는 임의로 선택할 수 있고, 또 pMOS트랜지스터 또는 nMOS트랜지스터의 어느 하나만을 사용할 수도 있다.

#### [실시예 9]

지금까지 제2도는 및 제3도-제9도에 따라 여러가지 기판전압 분리의 구조에 대해서 설명하였다. 이하 이들 구조를 반도체 메모리에 적용한 실시예에 대해서 설명한다.

제10도는 일반적인 메모리 (다이나믹 RAM, 스테이틱 RAM, ROM등을 포함한다)블럭도이다. ADDR은 어드레스입력, CS는 칩 선택트입력, WE는 라이트 인에이블입력, DI는 데이터 출력이다. 이들 신호의 명칭은 단지 1예로서, 다른 명칭을 사용한 것도 가능하다.

블럭 1은 어드레스버퍼 및 디코더, 드라이버 회로를 나타낸다. 블럭 C는 제어회로 및 라이트회로를 나타낸다. 블럭MC는 메모리셀 어레이를 나타낸다. 블럭 SO는 센스회로 및 출력회로를 나타낸다. 본 발명의 실시예 1에는 점선으로 둘러싸인 메모리셀 어레이 MC와 그밖의 부분의 기판전압을 분리해서 인가하는것이다.

제11도는 있어서는 제10도와 같이 분리된 2개의 블럭을 포함하는 칩내에 기판 바이어스전압 발생회로를 내장하고, 이바이어스 전압 발생회로의 2출력  $V_{DD}$ ,  $V_{SS}$ 를 메모리셀 어레이 이외의 주변회로에 인가하고, 메모리셀 어레이에는 전원전압  $V_{CC}$ 와 접지전위 GND를 각각  $V_{DD}$ ,  $V_{SS}$ 로서 인가한다. 기판 바이어스 전압발생회로의 회로구성은 이미 "1976 ISSCC", pp138-pp139 또는 일본국 특허공개공보 소호 51-117584호에 개시되어 있다. 이러한 구성에 있어서, 예를 들면 주변회로의 pMOS트랜지스터의 분리영역(n웰)에는 전압  $V_{DD}$ (+7V)를 인가하고 nMOS트랜지스터의 분리영역(p웰)에는 전압  $V_{SS}$ (-3V)를 인가하며, 또 셀 어레이의 pMOS트랜지스터의 N웰에는 전압  $V_{CC}$ 를 인가하고 셀 어레이의 nMOS트랜지스터의 p웰에는 전압 0V를 인가한다. 이렇게 해서 입출력회로의 분리영역에는 절대값이 큰 전압을 공급하는것에 의해, 입출력신호의 오버슈트나 언더슈트에도 메모리가 안정되고 접합용량(MOS트랜지스터의 소오드 또는 드레인과 기판 사이의 용량이나 바이폴라 트랜지스터의 플렉터와 기판 사이의 용량)을 감소시킬 수 있고, 또 셀어레이는 소프트웨어가 거의 발생하지 않는 불순물농도 프로파일을 선택할 수 있다. 또한 이후의 실시예에서 사용되는 분리전압의 명칭은 그 역할에 따라 제11도의  $V_{DD}$ ,  $V_{SS}$ ,  $V_{DD}$ ,  $V_{SS}$ 에 대응하는 것으로 생각한다.

제10도 및 제11도의 칩구조의 실시예에 대해서 얻어지는 칩의 단면도의 실시예를 이하에 도시한다. 이들은 제1도의 종래 기술예에 대응해서 MOS다이나믹 RAM의 입력회로와 다이나믹 메모리셀의 부분의 단면구조를 나타낸다. 또 여기에서 메모리셀을 다이나믹형 셀로 하였지만, 본 발명은 MOS스테이틱형 메모리셀이나 바이폴라 스테이틱형 메모리셀에도 마찬가지로 적용할 수 있다.

#### [실시예 A]

제12도의 실시예에서는 제1회로인 입력보호회로 (n형 확산저항과 nMOS다이오드)및 입력회로의 nMOS트랜지스터를 p웰 (제2 반도체영역 PW)내에 형성하고, 입력회로의 pMOS트랜지스터를 n웰(제1반도체영역NW)내에 형성하고, nMOS트랜지스터의 메모리셀은 p형 기판p-Sub내에 형성하고 있다. 본 실시예에서는 입력회로의 p웰과 기판 p-Sub가 분리되어 있다. 그 때문에, 각각의 영역의 분리전압인 제2반도체영역에 인가되는 전압인  $V_{DD}$ 와 기판에 인가되는 전압인  $V_{SS}$ 의 값을 독립적으로 설정할수

있다. 따라서 예를 들면 전압  $V_{DD}$ 를 입력회로의 사양을 만족시키도록 -3V로 선택할 수 있고, 전압  $V_{DD}$ 를 메모리셀의 내소프트 에러의 관점에서 0V로 선택할 수 있다. 메모리셀 하부의 점선은 p형의 고농도층 농도층이다. 이와 같이 해서, 제1도에서 기술한 종래예의 결점을 방지할 수 있어 안정한 다이내믹메모리를 제공할 수 있다.

#### [실시예 B]

제13도는 입력보호회로의 n형 확산저항과 nMOS다이오드만을 p웰내에 마련하고 주변회로의 nMOS트랜지스터는 메모리셀과 마찬가지로 p형기판 p-Sub내에 형성하고 있다. 또한, pMOS트랜지스터는 n웰내에 형성하고 있다. 그리고, 입력보호소자인 n형 확산 저항과 nMOS다이오드 아래의 p웰에는 전압  $V_{DD}$ (예를 들면 -3V)를 인가하고, 입력회로 및 메모리셀의 nMOS의 기판 p-Sub에는 전압  $V_{DD}$ (예를 들면 0V)를 인가한다. 메모리셀 아래에는 제12도와 마찬가지로 p형의 고농도층을 마련하고 있다. 그리고 n웰에는 전압  $V_{DD}$ 를 인가한다. 제12도의 실시예에 대해 본 실시예는 입력보호소자만이 웰내에 마련되어 있어 레이아웃이 간략화되고, 또 입력보호 다이오드 이외의 nMOS트랜지스터가 셀 및 주변회로에 걸쳐서 동일한 농도조건으로 형성되므로 스레쉬홀드전압  $V_{th}$ 의 제어가 용이하다는 이점을 갖는다.

#### [실시예 C]

제14도는 p웰(PW)내에 메모리셀을 형성하고 p형 기판 p-Sub내에 입력보호회로 및 주변회로의 nMOS트랜지스터를 형성한 실시예를 도시한 것이다. 본 실시예에서는 메모리셀의 하부에 비교적 고농도의 p웰이 마련되어 있고, 제12도는 또는 제13도에 점선으로 표시한 고농도층과 동일한 기능을 한다.

#### [실시예 D]

제15도는 기판으로서 n형층을 사용하고, 주변회로 및 메모리셀을 p웰내에 형성한 것을 도시한 것이다. 제12도-제14도의 실시예에서는 2층의 웰 구조로 하였지만, 본 실시예에서는 단층의 웰 구조로 충분하다. 주변회로의 nMOS트랜지스터의 p웰에는 전압  $V_{DD}$ (예를 들면 -3V)를 인가하고, 메모리셀의 nMOS트랜지스터의 p웰에는 전압  $V_{DD}$ (예를 들면 0V)를 인가한다. 또 기판 p-Sub에는 전압  $V_{DD}$ (예를 들면  $V_{CC}$ )를 인가한다. 전압  $V_{DD}$ 가 인가되는 p웰내에는 입력보호회로만을 형성해도 좋고, 어드레스 버퍼 등의 주변회로를 포함하고 있어도 좋다.

#### [실시예 E]

제16도는 p형기판 p-Sub상에 pMOS메모리셀을 형성한 예를 도시한 것이다. 주변회로의 nMOS트랜지스터의 기판에는 전압  $V_{DD}$ (예를 들면 -3V)를 공급하고, 주변회로의 pMOS트랜지스터의 n웰에는 전압  $V_{DD}$ (예를 들면 +7V)를 인가하여, pMOS 트랜지스터의 소오스, 드레인 접합용량을 감소시킨다. 메모리셀의 n웰에는 전압  $V_{DD}$ (예를 들면  $V_{CC}$ )를 인가한다. 이렇게 해서 입력회로는 언더슈트에 감하고 또한 고속화를 도모할 수 있고, 또 메모리셀은 소프트 에러가 거의 발생하지 않는 메모리를 구성할 수 있다.

#### [실시예 10]

이상, MOS메모리셀(SRAM, DRAM)에 적용한 실시예 A-E를 제12도-제16도를 참조해서 실시예 9의 실제의 구성으로 기술하였다.

다음에 바이폴라소자와 MOS소자를 아울러 갖는 제7도의 BiCMOS구조를 사용해서 메모리에 적용한 본 발명의 각각의 실시예를 제17도-제21도에 도시한다. 실시예중 제17도-제19도는 에피택셜층을 사용하고, 제20도-제22도는 에피택셜층을 사용하지 않는 것이다.

#### [실시예 F]

제17도에서는 좌측부터 주변회로의 nMOS, pMOS, npn바이폴라 트랜지스터 및 다이내믹형 nMOS메모리 셀을 나타내고 있다.

nMOS메모리셀의 하부에는 고농도층 농도의 p형배리층(PBL)을 배치하여 내소프트에러 성능을 강화시키고 있다. 이 층 PBL

은 n형 매립층의 분리에도 사용한다.

주변회로의 nMOS트랜지스터는 p웰내에 형성하고 있지만, p형 에피택셜층을 사용하면 이 p웰을 생략할 수 있다. 이 p웰층 하부에는 고농도의 n형 매립층 nBL을 마련하고, 이 층 nBL에 전압을 공급하기 위해 고농도의 n층 (CN)을 부가하고 있다. 또 p웰의 측면은 n웰로 둘러싸는 것에 의해 p형 기판 p-Sub와 절연시키고 있다. 주변회로의 nMOS트랜지스터에는 전압  $V_{DD}$  (예를 들면 -3V)를 인가하고, pMOS트랜지스터의 n웰에는 전압  $V_{DD}$  (예를 들면 VCC)를 인가한다. 또 npn바이폴라 트랜지스터의 분리층과 메모리셀의 nMOS트랜지스터의 분리층에는 공통의 전압  $V_{DD}$ 를 인가하고 있다. 웰의 하부에 마련된 매립층 nBL, PBL은 바이폴라 트랜지스터의 플렉터저항의 저감을 위해 마련된 것이지만, 기판저항의 감소에 의해 래치업 방지에도 효과적이다.

#### [실시예 6]

제18도는 메모리셀 p형 기판 p-Sub내에 형성한 실시예를 도시한 것으로서, 제17도의 실시예와는 메모리셀의 하부 구성만 다르다. 제17도의 구성에 의하면, 고농도의 매립층 PBL이 솟아올라 nMOS트랜지스터의 스레쉬홀드전압  $V_{th}$ 가 변동할 우려가 있다. 한편 제18도의 구성에 의하면 점선으로 나타난 n형의 고농도층은 축적용량의 하부에만 마련되어 메모리셀의 nMOS트랜지스터의 채널부에서 매립층이 솟아오르는 것을 방지한다.

다음에 제18도의 단면구조를 실현하기 위한 주요 공정을 제19도에 도시한다. 제19도의 (a)에서는 p형 기판의 표면에 n형 매립층 nBL을 형성하고, (b)에서는 또 p형 매립층 PBL을 형성한다. 그후, (c)의 에피택셜 성장에 의해 Epi층을 형성하고, (d), (e)의 공정에서 Epi층내에서 n웰(nWELL), p웰(PWELL)을 형성한다. (f)에서는 n형의 고농도 불순물을 도포한 CN층을 형성하고 하부의 nBL과 접속시킨다. 본 도면에서는 생략되어 있지만, 이후 메모리셀의 플레이트, MOS트랜지스터의 게이트, MOS트랜지스터의 소오스 및 드레인층, 또 필요하다면 바이폴라 트랜지스터의 에미터층을 형성한다. 또 그 후 콘택트홀 및 배선등의 공정을 필요로 한다. 이 제17도, 제18도 중에서 층 CN과 nBL은 바이폴라 트랜지스터의 플렉터저항을 저감한다. 한편, MOS트랜지스터의 소오스 및 드레인과 웰 사이, 바이폴라 트랜지스터의 베이스와 플렉터 사이의 접속계면은 그다지 고농도층끼리 접촉하지 않으므로, 회로동작에 필요한 만큼 브레이크 다운 내압을 유지시킬 수 있다.

#### [실시예 7]

이상은 에피택셜층을 사용하는 공정의 예에 대해서 설명하였지만, 이하 에피택셜층을 사용하지 않는 실시예를 제20도~제22도에 도시한다. 이들 실시예는 p형 기판의 일정깊이의 장소에 주입에 의해 고농도층을 형성하는 것이다. 이때문에 에피택셜층을 사용하는 경우에 비해서 제조코스트를 저감할 수 있다.

제20도는 단면도이고, 이것을 첩의 표면에서 본 개념도를 제21도에 도시한다. nMOS트랜지스터 nMOS1의 p형 분리층(PWELL)을 n층(CN or nWELL)으로 둘러싸는 것에 의해 p형 기판 p-Sub와의 사이를 분리시키고 있다.

제20도 및 제21도의 구조를 실현하기 위한 프로세스의 주요공정을 제22도에 도시한다. (a)에서는 p-Sub에 미온 주입에 의해 표면에서 일정 깊이의 장소에 고농도의 n층을 마련한다. 그후 (b), (c)에서 n웰과 p웰을 형성한다. p웰은 p형기판 p-Sub의 경우에는 생략할 수 있다. (d)에서는 n형 매립층 nBL에 도달할 때까지 고농도의 n층(CN)을 형성한다. (d)이후의 MOS소자, 바이폴라 소자 및 배선을 형성하는 공정은 종래의 공정과 동일하다.

이상, 여러 실시예에서 기술한 바와 같이, 본 발명에 의하면, 기판이나 MOS소자의 분리층 및 바이폴라 소자의 분리층에 독립된 임의의 전압을 인가할 수 있어, 소자의 회로의 목적에 따른 최적의 전압을 선택할 수 있다. 이것에 의해, 입출력의 언더슈트나 접합용량 및 소프트웨어의 문제등에 대처하기 위해 농도 프로파일의 설정, 분리전압의 설정등을 자유롭게 실행할 수 있다.

지금까지는 서지노이즈등에 기인하는 소수캐리어의 주입이 실리콘기판에 형성된 MOS트랜지스터 또는 Bip트랜지스터를 구성하는 pn접합에 의해 발생하여, SRAM 또는 DRAM의 축적신호의 파괴와 같은 문제점의 원인이 되었다.

이와 같은 현상은 반도체 장치의 신뢰성을 저하시키게 되어 바람직하지 않다.

본 발명은 이러한 현상을 방지할 수 있고 MOS, Bip, CMOS, BiCMOS 및 BiCMOS소자를 포함하는 여러개의 제품에 적용가능하고, 또 신뢰도등을 향상시킬 수 있어 본 발명을 효과적으로 이용할 수 있다.

#### (57) 청구의 범위

청구항 1. 제1도전형의 반도체기판, 상기 본도체 기판의 주면에 형성된 제2도전형의 제1반도체영역, 상기 제1반도체 영역내에 형성된 제1도전형의 제2반도체영역, 상기 제2반도체영역의 주면에 형성된 제1회로로서, 외부접속단자와 전기적으로 연결된 제1회로, 상기 제1반도체 영역과는 다른 부분의 상기 반도체기판의 주면에 형성된 제2회로를 포함하고, 상기 제2반도체영역은 상기 제1반도체 영역에 의해서 상기 반도체 기판과 전기적으로 분리되고, 상기 제2반도체영역에 인가되는 전압은 상기 반도체기판에 인가되는 전압보다 낮은 값을 특징으로 하는 반도체장치.

청구항 2. 제1항에 있어서, 상기 제1회로는 입력보호회로인 것을 특징으로 하는 반도체장치.

청구항 3. 제2항에 있어서, 상기 입력보호회로는 저항과 다이오드로 이루어지는 것을 특징으로 하는 반도체장치.

청구항 4. 제2항에 있어서, 상기 제1반도체 영역의 주면에 형성된 제3회로를 또 포함하고, 상기 제2회로는 메모리셀을 포함하고, 상기 제3회로는 주변회로의 일부를 포함하는 것을 특징으로 하는 반도체장치.

청구항 5. 제4항에 있어서, 상기 제1반도체영역에 인가되는 전압은 상기 제2반도체영역에 인가되는 전압 및 상기 반도체기판에 인가되는 전압의 각각 보다 높은 값을 특징으로 하는 반도체장치.

청구항 6. 제4항에 있어서, 상기 메모리셀은 제2도전형의 제1n1SFET와 용량소자를 포함하고, 상기 주변회로의 일부는 제1도전형의 제2n1SFET를 포함하는 것을 특징으로 하는 반도체장치.

청구항 7. 제1항~제6항중 어느 한항에 있어서, 외부전원전압 범위와는 다른 전압을 발생하는 전압변환수단을 또 포함하고, 상기 제2반도체영역에 인가되는 전압은 상기 전압변환수단의 출력전압인 것을 특징으로 하는 반도체장치.

도면

도면1

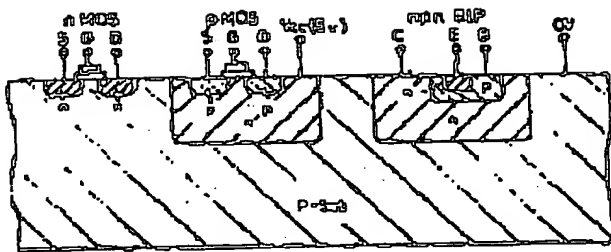


FIG 2

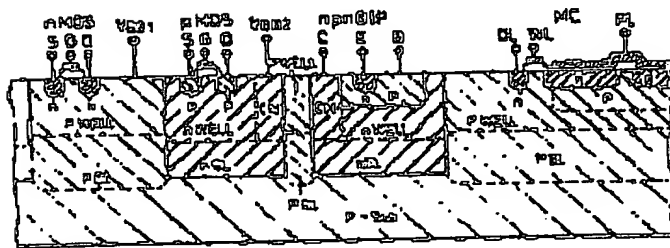
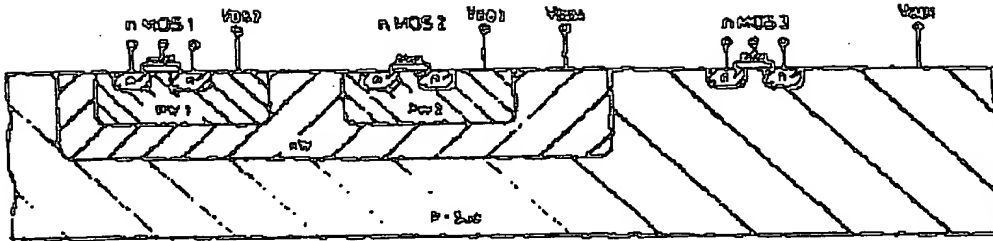
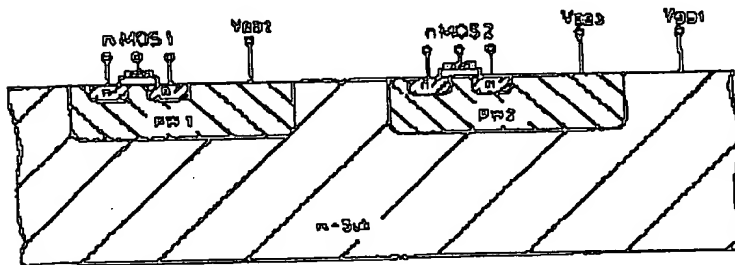


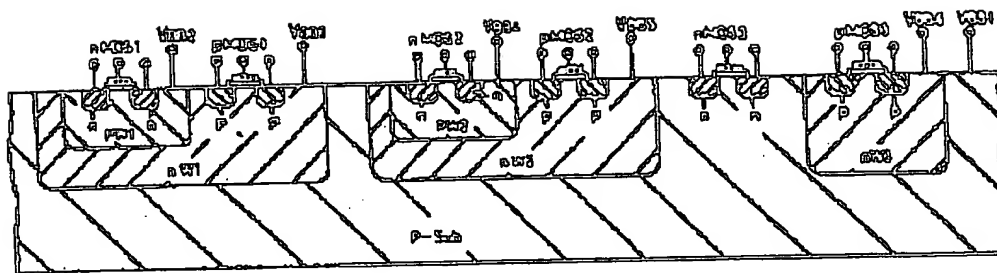
FIG 3



도 B4



도 B5



500

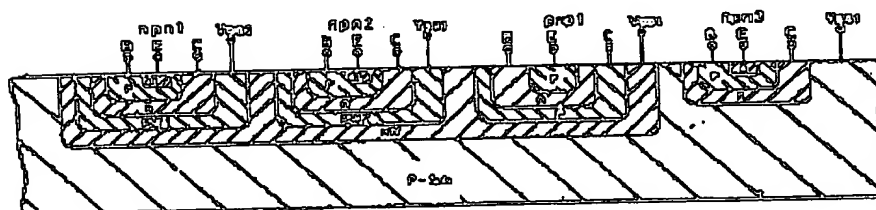


图 87

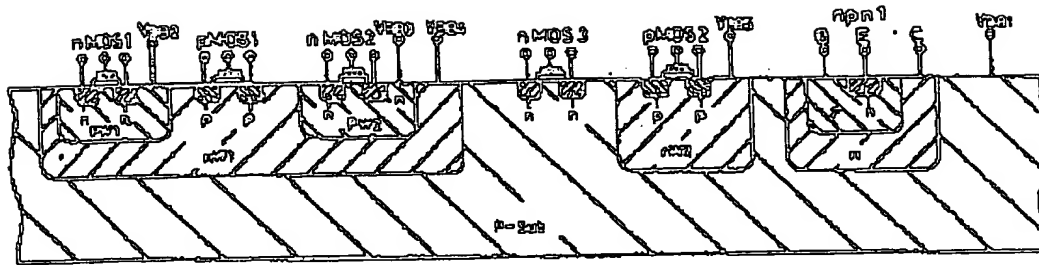
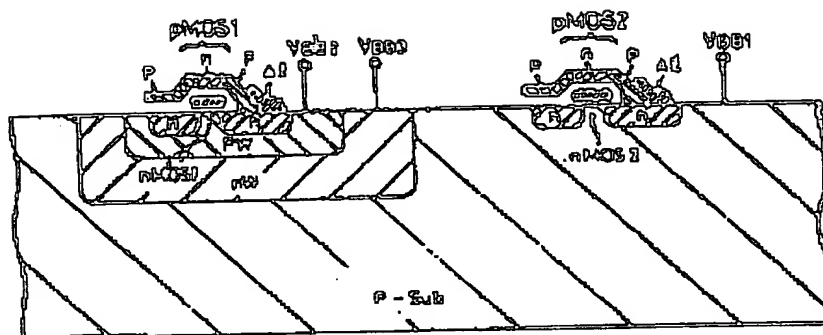
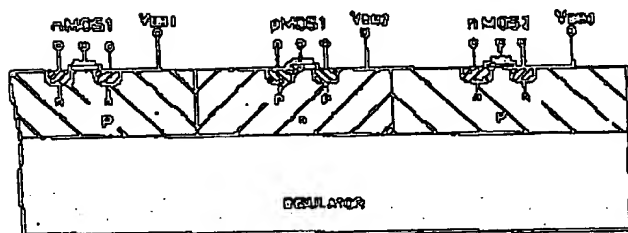


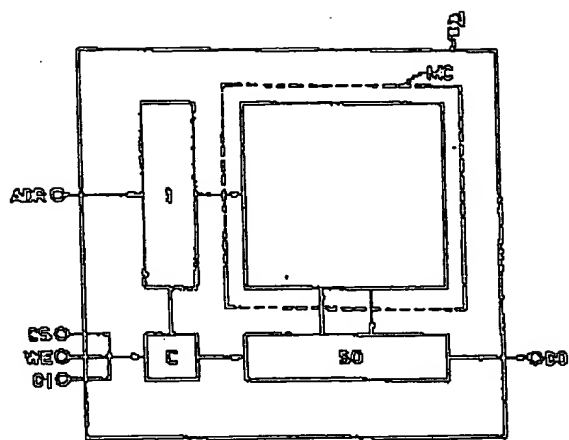
图 88



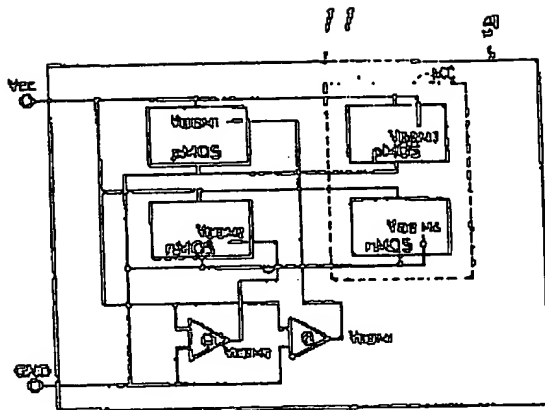
EBB



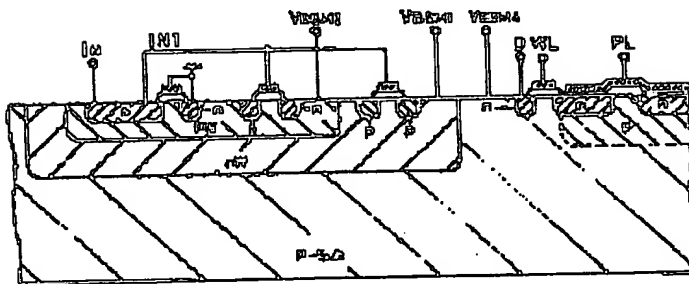
5410



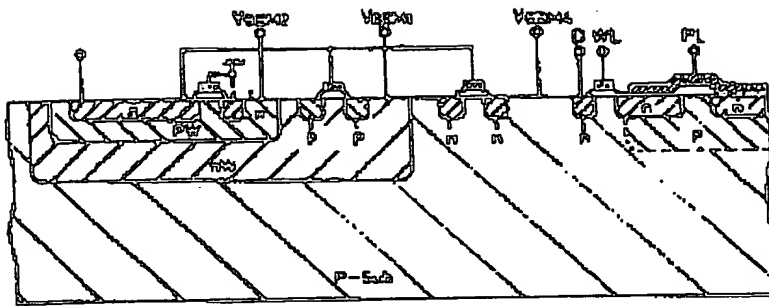
5818



도 12



SB13



SB14

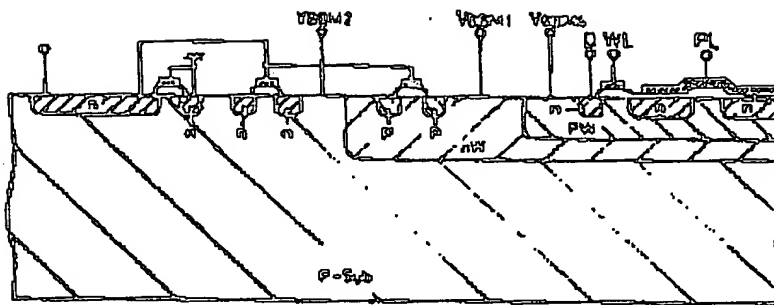
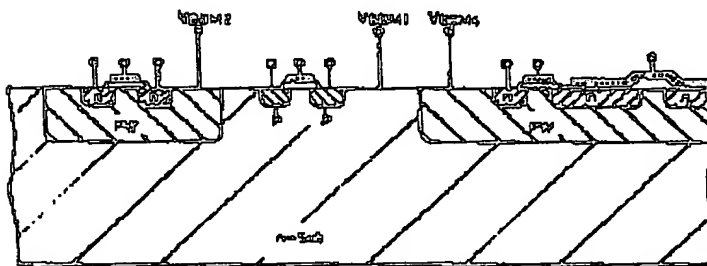
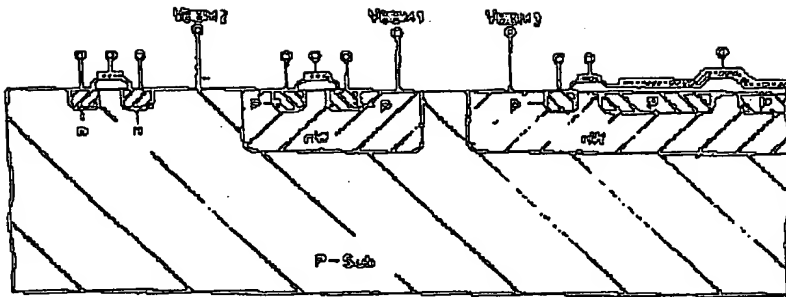


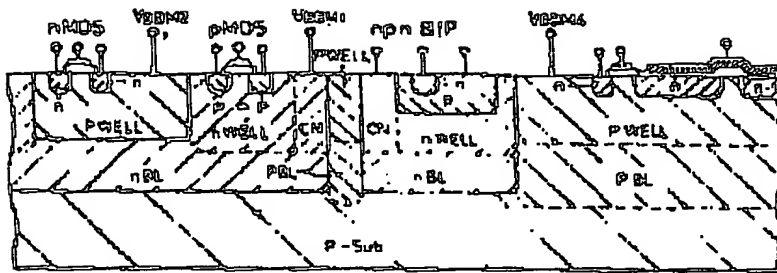
図 15



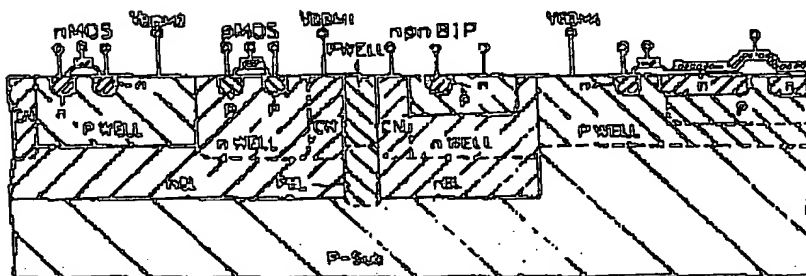
5816



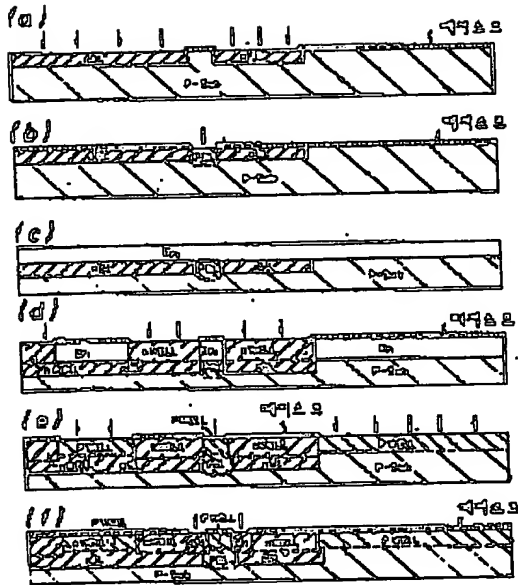
5817



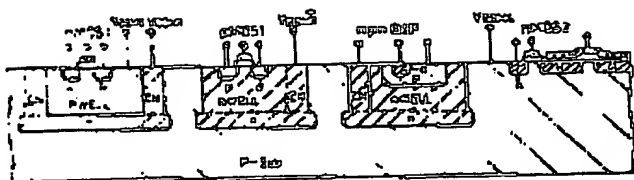
도 18



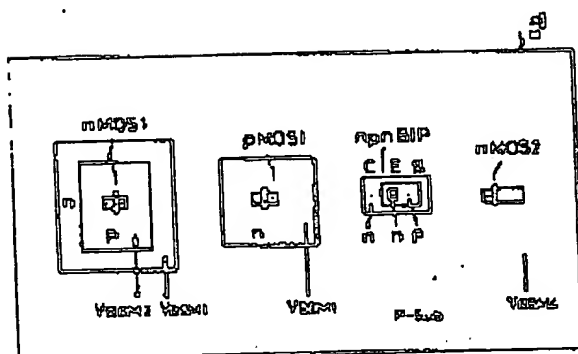
도면 18



도면 20



5421



5422

